



MATRIX TYPE IMAGE DISPLAY DEVICE

Patent number: JP10090650
 Publication date: 1998-04-10
 Inventor: KUBOTA YASUSHI; SHIRAKI ICHIRO; SAKAI TAMOTSU
 Applicant: SHARP CORP
 Classification:
 - international: G02F1/133; G09G3/20; G09G3/36
 - european:
 Application number: JP19970181546 19970707
 Priority number(s):

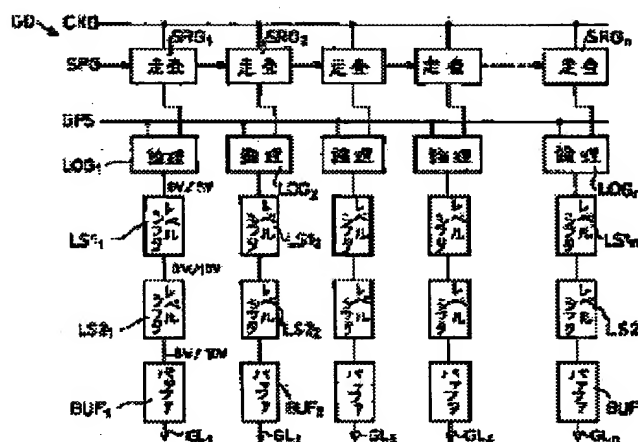
Also published as:

 US6157361 (A)
 JP10090650 (J)

Abstract of JP10090650

PROBLEM TO BE SOLVED: To reduce a cost and power consumption in a matrix type image display device selectively imparting the image data to matrix arranged pixels by scan signal lines GL_j ($j=1, 2, \dots, n$) and data signal lines and making hold them by making possible absorbing a difference between an input signal level from an external circuit such as a control circuit and an image signal processing circuit, etc., and a real each pixel drive signal level and eliminating additional constitution such as an interface circuit, etc.

SOLUTION: Sampling pulses of 0V/5V outputted from a logic circuit LOG_j are respectively shifted to 10V in a high potential side, and -8V in a low potential side by serially connected two-staged level shifters $LS1_j$, $LS2_j$. In such a manner, the interface circuit, etc., between the external circuit and a scan signal line drive circuit GD is eliminated, and the cost and power consumption are reduced.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-90650

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

G 0 9 G 3/20

G 0 9 G 3/20

R

3/36

3/36

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21) 出願番号 特願平9-181546

(22) 出願日 平成9年(1997) 7月7日

(31) 優先権主張番号 特願平8-192566

(32) 優先日 平8(1996) 7月22日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 酒井 保

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

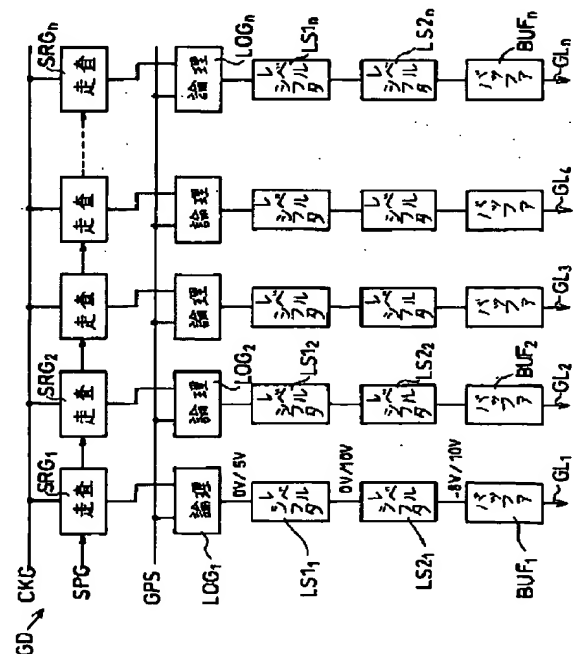
(74) 代理人 弁理士 原 謙三

(54) 【発明の名称】 マトリクス型画像表示装置

(57) 【要約】

【課題】 マトリクス配列された画素に、走査信号線 GL_j ($j = 1, 2, \dots, n$) とデータ信号線とによって選択的に画像データを与えて保持させるようにしたマトリクス型画像表示装置において、制御回路や画像信号処理回路などの外部回路からの入力信号レベルと、実際の各画素の駆動信号レベルとの差を吸収可能とし、インタフェース回路などの追加構成を不要として、低コスト化および低消費電力化を図る。

【解決手段】 論理回路 LOG_j から出力される $0V/5V$ のサンプリングパルスを、直列接続された2段のレベルシフタ $LS1_j$ 、 $LS2_j$ によって、高電位側を $10V$ に、低電位側を $-8V$ にそれぞれシフトする。こうして、上記外部回路と該走査信号線駆動回路 GD との間にインタフェース回路等を不要とし、低コスト化および低消費電力化を図ることができる。



【特許請求の範囲】

【請求項1】画像を表示するための画素がマトリクス状に配列された基板と、上記各画素に選択的に画像データを供給するための走査信号線駆動回路およびデータ信号線駆動回路とを含んで構成されるマトリクス型画像表示装置において、

上記走査信号線駆動回路またはデータ信号線駆動回路の少くともいずれか一方は、走査信号線またはデータ信号線への出力段に、相互に直列に接続された2段のレベルシフト回路を備えることを特徴とするマトリクス型画像表示装置。

【請求項2】上記走査信号線駆動回路とデータ信号線駆動回路との駆動信号レベルは相互に異なり、かつ上記走査信号線駆動回路とデータ信号線駆動回路との入力信号レベルは相互に等しいことを特徴とする請求項1に記載のマトリクス型画像表示装置。

【請求項3】上記走査信号線駆動回路は、上記2段のレベルシフト回路を備えて上記走査信号線駆動回路の高電位側および低電位側の両方の電圧レベルをシフトし、上記データ信号線駆動回路は、上記データ信号線駆動回路の高電位側または低電位側のいずれか一方の電圧レベルをシフトするレベルシフト回路を有することを特徴とする請求項1または2に記載のマトリクス型画像表示装置。

【請求項4】上記画素は、スイッチング素子と、液晶容量および補助容量からなる画素容量とを含んで構成され、走査信号によって該画素が選択されると、上記スイッチング素子は画像データを取り込んで液晶容量および補助容量の一方の電極に与え、これによって、上記液晶容量の一方の電極と他方の電極である対向電極との間に介在される表示媒体に電圧が印加されて該表示媒体が駆動されて画像表示が実現され、上記補助容量の他方の電極は隣接する走査信号線に接続され、上記対向電極は、その電圧レベルが予め定める周期で交流駆動され、

上記走査信号線駆動回路は、上記2段のレベルシフト回路を備え、いずれかのレベルシフト回路の電圧シフト量が上記周期毎に変化する請求項1に記載のマトリクス型画像表示装置。

【請求項5】上記レベルシフト回路を備える信号線駆動回路において、上記出力段に設けられる該レベルシフト回路を構成するトランジスタは、その前段側の回路を構成するトランジスタと素子構造が相互に異なり、高耐圧であることを特徴とする請求項1～4のいずれかに記載のマトリクス型画像表示装置。

【請求項6】上記素子構造は、チャンネル長であることを特徴とする請求項5に記載のマトリクス型画像表示装置。

【請求項7】該レベルシフト回路を構成するトランジスタのチャンネル長は、その前段側の回路を構成するトラン

ジスタのチャンネル長の1.5～3倍の長さであることを特徴とする請求項6に記載のマトリクス型画像表示装置。

【請求項8】上記素子構造は、ゲート絶縁膜の膜厚であることを特徴とする請求項5に記載のマトリクス型画像表示装置。

【請求項9】該レベルシフト回路を構成するトランジスタのゲート絶縁膜の膜厚は、その前段側の回路を構成するトランジスタのゲート絶縁膜の膜厚の1.25～2.5倍の厚さであることを特徴とする請求項8に記載のマトリクス型画像表示装置。

【請求項10】該レベルシフト回路を構成するトランジスタは、チャンネル領域とソース領域およびドレイン領域との間に、不純物濃度の低い領域を有する構造であることを特徴とする請求項5に記載のマトリクス型画像表示装置。

【請求項11】該レベルシフト回路を構成するトランジスタは、チャンネル領域とソース領域およびドレイン領域との間に、面積あたりの不純物ドーピング量が $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ である領域を有する構造であることを特徴とする請求項10に記載のマトリクス型画像表示装置。

【請求項12】上記走査信号線駆動回路またはデータ信号線駆動回路の少くともいずれか一方を構成するトランジスタは、上記画素を構成するトランジスタとともに、多結晶シリコン薄膜でモノリシックに形成されることを特徴とする請求項1～5のいずれかに記載のマトリクス型画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に画素がマトリクス状に配列されるマトリクス型画像表示装置に関し、特に各画素を表示駆動するための駆動回路部分の改良に関する。

【0002】

【従来の技術】従来から、液晶素子、EL（エレクトロルミネッセンス）素子およびLED（発光ダイオード）素子等を、マトリクス状に配列して形成される画像表示装置が用いられている。このようなマトリクス型の画像表示装置として、液晶表示装置を例として以下に説明する。図11は、一般的な液晶表示装置1の概略的構成を示す正面図である。この液晶表示装置1は、大略的に、多数の画素PIXが形成される画素アレイARYと、上記画素PIXを表示駆動するための走査信号線駆動回路gdおよびデータ信号線駆動回路sdと、これらの信号線駆動回路gd、sdを駆動制御するための制御回路2とを含んで構成されている。

【0003】上記画素アレイARY上には、相互に直交する多数の走査信号線GL_j（j=1, 2, …, n）およびデータ信号線SL_i（i=1, 2, …, m）が形成

されており、隣接する2本の走査信号線 GL_i 、 GL_{i+1} とデータ信号線 SL_i 、 SL_{i+1} とで包囲された領域に上記画素PIXが形成されることになり、こうして該画素PIXは、マトリクス状に配列されている。

【0004】上記データ信号線駆動回路sdは、上記制御回路2からのクロック信号CKS等のタイミング信号に同期して、入力された画像信号DATをサンプリングし、かつ必要に応じて増幅して上記各データ信号線 SL_i に出力する。また、走査信号線駆動回路gdは、上記制御回路2からのクロック信号CKG、GPS等のタイミング信号に同期して、走査信号線 GL_i を順次選択し、画素PIX内に設けられている後述するスイッチング素子の開閉を制御する。こうして、データ信号線 SL_i に出力された画像信号(データ)DATが各画素PIXに書込まれ、次の走査タイミングまでその画像データDATが保持されて、表示出力が行われる。

【0005】上記データ信号線駆動回路sdには、画像データDATを各データ信号線 SL_i に出力してゆくにあたって、走査信号線 GL_i によって選択されたラインの画素に順次的に画像データDATを出力してゆく点順次駆動方式と、上記ラインの画素に一齐に画像データDATを出力する線順次駆動方式とが知られており、一例として、回路構成の簡単な点順次駆動方式のデータ信号線駆動回路について、図12を参照して説明する。

【0006】図12は、典型的な従来技術のデータ信号線駆動回路sdの電氣的構成を示すブロック図である。上記各データ信号線 SL_i には、アナログスイッチ asw_i が介在されており、このアナログスイッチ asw_i が導通すると、上記画像データDATがサンプリングされて各データ信号線 SL_i に出力される。これらのアナログスイッチ asw_i を制御するために、該各アナログスイッチ asw_i に個別的に対応する走査回路 srs_i (i =上記1, 2, ..., m)と、バッファbufs_iとが設けられている。

【0007】上記走査回路 srs_i は、相互に縦続接続されており、各走査回路 srs_i には共通にクロック信号CKSが入力されている。また、始端の走査回路 srs_1 には、水平同期信号などに基づいて作成されたスタートパルスSPSが与えられる。したがって、各走査回路 srs_i からは、上記始端側の走査回路 srs_1 から順次的にサンプリングパルスが出力されてゆき、このサンプリングパルスは、バッファbufs_iにおいて保持・増幅されるとともに、必要に応じて反転されて、上記各アナログスイッチ asw_i に与えられる。

【0008】また、走査信号線駆動回路gdは、たとえば図13で示すように、上記走査回路 srs_i と同様の走査回路 srg_k ($k=1, 2, \dots, n+1$)と、各走査信号線 GL_i にそれぞれ対応している2種類の論理積回路 $and1_i$ 、 $and2_i$ およびバッファbufg_iとを備えて構成されている。各走査回路 srg_k は、上

記走査回路 srs_i と同様に相互に縦続接続されており、垂直同期信号などに基づいて作成されたスタートパルスSPGが始端の走査回路 srg_1 に輸入され、このスタートパルスSPGが水平同期信号などに基づいて作成されるクロック信号CKGにตอบสนองして、順次、後段側の走査回路 srg_2 、 srg_3 、...へ出力されてゆく。

【0009】相互に隣接する各走査回路 srg_i 、 srg_{i+1} からの出力は、論理積回路 $and1_i$ において演算された後、さらに論理積回路 $and2_i$ においてクロック信号GPSと演算されてバッファbufg_iにそれぞれ入力される。上記各走査回路 srg_i は、上記クロック信号CKGにตอบสนองして上記スタートパルスSPGを半周期ずつ遅れて出力する。すなわち走査回路 srg_i から出力されるパルスは、クロック信号CKGの立上りタイミングで立上り、次の立上りタイミングまでの1周期に亘って保持され、これに対して次段の走査回路 srg_{i+1} は、上記クロック信号CKGの立下りタイミングから1周期間に亘ってパルスを出力する。すなわち、隣接する走査回路 srg_i 、 srg_{i+1} 間で半周期だけずれたパルスが論理積回路 $and1_i$ に輸入されることになり、該論理積回路 $and1_i$ からはクロック信号CKGの半周期の長さのパルスが、論理積回路 $and2_i$ へ出力される。

【0010】上記クロック信号GPSは、たとえば上記クロック信号CKGの2倍の速さとされており、したがって論理積回路 $and2_i$ から出力されるパルスは、上記クロック信号CKGの1/2の周期よりも短くなり、隣接する論理積回路 $and2_i$ 、 $and2_{i+1}$ 間で、このパルスが相互に重複する期間を生じることはない。上記論理積回路 $and2_i$ からの出力は、バッファbufg_iにおいて、増幅されるとともに、必要に応じて反転されて、上記各走査信号線 GL_i へそれぞれ出力される。

【0011】ここで、各信号線駆動回路gd、sdの駆動電圧について考える。データ信号線駆動回路sdにおいては、走査回路 srs_i を所望とする周波数、たとえば走査信号線駆動回路gdの並列化や同時サンプリングを行わない場合で、VGA (Video Graphical Array) 表示の場合には、約25.2MHzで駆動可能であること、およびアナログスイッチ asw_i で正負両極性の画像データDATをデータ信号線 SL_i に出力可能であることなどの要求から決定され、一般には走査回路 srs_i からの要求よりもアナログスイッチ asw_i からの要求で決定される。たとえば、液晶駆動電圧が±5V、対向電極の電圧が0Vであるとき、データ信号線 SL_i での画像信号のレベルは-5~+5Vとなり、該データ信号線駆動回路sdの駆動電圧も-5~+5V程度となる。

【0012】これに対して、走査信号線駆動回路gdにおいては、上記画素PIX内のスイッチング素子が、正

極性の画像データを画素容量に書込むことができるように正極性側の駆動電圧が決定され、また負極性の画像データを1フレーム期間保持することができるように負極性側の駆動電圧が決定される。たとえば、これらの条件を満足させるためには、スイッチング素子の閾値電圧が+3Vであるとき、走査信号線駆動回路g dの駆動信号レベルは、正極性側で、上記+3Vに、上記画像信号のレベル+5Vと、マージン+2Vとを加算した10V程度となり、負極性側では、上記+3Vに、上記画像データDATのレベルである-5Vと、マージン-6Vとを加算した-8V程度となる。ここで、駆動信号レベルとは、各信号線駆動回路g d・s dにおける出力信号のレベルのことであり、これら信号線駆動回路g d・s dの駆動電圧と同一となりうる。

【0013】なお、上述した各駆動電圧および駆動信号レベルは一例であり、駆動方法、駆動回路の構成、トランジスタの特性および液晶の種類などによって、その最適値は変動する。

【0014】

【発明が解決しようとする課題】以上のように、液晶表示装置では、上述のように液晶を表示駆動するために、正負それぞれ5V前後の電圧を印加する必要があること、およびデータ信号線駆動回路s dのアナログスイッチa s w_iは正負両極性の画像データDATを取扱うためにCMOS構成であるのに対して、走査信号線駆動回路g dが制御する画素PIX内のスイッチング素子はN MOSなどの片チャネル構成であることに起因して、一般に、データ信号線駆動回路s dおよび走査信号線駆動回路g dの駆動電圧は、一般的な集積回路で用いられている電圧、たとえば3.3Vまたは5Vよりも大きく、かつ相互に異なる電圧レベルであることが多い。

【0015】このため、各信号線駆動回路s d、g dに入力されるべき上記クロック信号CKS；CKG、GPSおよびスタートパルスSPS、SPG等の振幅を大きくし、かつ所望とするレベルとする必要がある。したがって、これらの信号線駆動回路s d、g dを制御するための上記制御回路2や画像信号処理回路等の外部回路の出力を所望電圧レベルに変換するインタフェース回路等が必要となり、コストの増大や消費電力の増加を招くという問題がある。

【0016】このような不具合を解決するための他の従来技術は、特開平6-95073号公報に示されている。この従来技術では、データ信号線駆動回路および走査信号線駆動回路への入力振幅を5V（0V-5V）に揃え、それぞれの駆動回路の内部に設けたレベルシフト回路によって、所望とする出力振幅レベルである15V（0V-15V）まで昇圧している。これによって、入力信号の振幅が小さくなり、上記外部インタフェース回路の負荷を小さくしている。

【0017】しかしながらこの従来技術は、入力信号の

一方の電圧レベル、この例では高電位側のみをレベルシフトさせて、データ信号線駆動回路と走査信号線駆動回路との両方の入力信号レベルを同一の駆動信号レベルに昇圧するものである。したがって、データ信号線駆動回路と走査信号線駆動回路との駆動信号レベルの最適値が前述のように相互に異なるような場合には、適用することができないという問題がある。

【0018】本発明の目的は、データ信号線駆動回路および走査信号線駆動回路の駆動信号レベルをそれぞれ最適化した場合にも、各データ信号線駆動回路および走査信号線駆動回路での入力信号レベルを同一に、かつ低くして、構成を簡略化することができるとともに、低消費電力化を図ることができるマトリクス型画像表示装置を提供することである。

【0019】

【課題を解決するための手段】請求項1の発明に係るマトリクス型画像表示装置は、画像を表示するための画素がマトリクス状に配列された基板と、上記各画素に選択的に画像データを供給するための走査信号線駆動回路およびデータ信号線駆動回路とを含んで構成されるマトリクス型画像表示装置において、上記走査信号線駆動回路またはデータ信号線駆動回路の少くともいずれか一方は、走査信号線またはデータ信号線への出力段に、相互に直列に接続された2段のレベルシフト回路を備えることを特徴とする。

【0020】上記の構成によれば、各信号線駆動回路に、制御回路や画像信号処理回路などの外部回路からの低電圧、たとえば5Vの振幅を有する入力信号をそのまま入力しても、該信号線駆動回路は、出力段に備える2段のレベルシフト回路によって、出力信号の電圧レベルを低電位側および高電位側ともに最適なレベルにシフトすることができる。

【0021】したがって、上記外部回路の負担を軽くして、構成の簡略化および低消費電力化を図ることができるとともに、駆動回路構成や表示媒体などに適応した最適な駆動信号レベルを得ることができ、表示品位を向上することができる。

【0022】また、請求項2の発明に係るマトリクス型画像表示装置は、上記走査信号線駆動回路とデータ信号線駆動回路との駆動信号レベルは相互に異なり、かつ上記走査信号線駆動回路とデータ信号線駆動回路との入力信号レベルは相互に等しいことを特徴とする。

【0023】上記の構成によれば、各画素に形成されるスイッチング素子を開閉駆動する走査信号線駆動回路と、上記スイッチング素子に画像データを入力するデータ信号線駆動回路との駆動信号レベルは、それぞれ最適化されて相互に異なり、これに対して、これらのデータ信号線駆動回路および走査信号線駆動回路への入力信号、たとえばクロック信号やスタートパルスなどは、相互にそのレベルが揃えられている。

【0024】したがって、上記外部回路の出力電圧ならびに走査信号線およびデータ信号線の駆動信号レベルを最適化しても、上記外部回路の出力側に、それらの出力電圧とデータ信号線駆動回路および走査信号線駆動回路の入力電圧とを整合させるためのレベル変換回路などを付加する必要がなくなり、上記外部回路の負担を軽減することができる。

【0025】さらにまた、請求項3の発明に係るマトリクス型画像表示装置では、上記走査信号線駆動回路は、上記2段のレベルシフト回路を備えて上記走査信号線駆動回路の高電位側および低電位側の両方の電圧レベルをシフトし、上記データ信号線駆動回路は、上記データ信号線駆動回路の高電位側または低電位側のいずれか一方の電圧レベルをシフトするレベルシフト回路を有することを特徴とする。

【0026】上記の構成によれば、通常、画像データをデータ信号線に出力するデータ信号線駆動回路はCMOS構成となっているのに対して、各画素に設けられ、画像データの書き込みを行うスイッチング素子はNMOS構成であり、走査信号線駆動回路の駆動信号レベルは、データ信号線駆動回路の駆動信号レベルよりも大きな電圧振幅が要求される。すなわち、走査信号線駆動回路の高電位側の電圧レベルをデータ信号線駆動回路の高電位側の電圧レベルよりも高くし、かつ走査信号線駆動回路の低電位側の電圧レベルをデータ信号線駆動回路の低電位側の電圧レベルよりも低くすることが要求される。

【0027】この場合、データ信号線駆動回路におけるシフトさせない他方の電圧レベルを基準とする方が、走査信号線駆動回路のいずれか一方の電圧レベルを基準とするよりも、レベルシフト回路における最大シフト量を小さくすることができ、回路への負担を小さくすることができる。

【0028】また、請求項4の発明に係るマトリクス型画像表示装置では、上記画素は、スイッチング素子と、液晶容量および補助容量からなる画素容量とを含んで構成され、走査信号によって該画素が選択されると、上記スイッチング素子は画像データを取り込んで液晶容量および補助容量の一方の電極に与え、これによって、上記液晶容量の一方の電極と他方の電極である対向電極との間に介在される表示媒体に電圧が印加されて該表示媒体が駆動されて画像表示が実現され、上記補助容量の他方の電極は隣接する走査信号線に接続され、上記対向電極は、その電圧レベルが予め定める周期で交流駆動され、上記走査信号線駆動回路は、上記2段のレベルシフト回路を備え、いずれかのレベルシフト回路の電圧シフト量が上記周期毎に変化することを特徴としている。

【0029】上記の構成によれば、画素容量を構成する補助容量の他方の電極を隣接する走査信号線に接続するようにした、いわゆるCSオンゲート構造の画素構成とし、液晶などの表示媒体の交流駆動の周期で、走査信号

線駆動回路の駆動電圧のいずれか一方の電圧レベルを変動させる。

【0030】したがって、上記CSオンゲート構造では、走査信号線のオフ電圧レベルを、液晶容量などの対向電極である共通電極の交流駆動と同期して、同振幅で変動させる必要があるのに対して、上記オフレベルである上記一方の電圧レベルを変動させることによって、走査信号線のレベルを所望とする波形として駆動することができる。

10 【0031】さらにまた、請求項5の発明に係るマトリクス型画像表示装置は、上記レベルシフト回路を備える信号線駆動回路において、上記出力段に設けられる該レベルシフト回路を構成するトランジスタは、その前段側の回路を構成するトランジスタと素子構造が相互に異なり、高耐圧であることを特徴とする。

20 【0032】上記の構成によれば、レベルシフト回路を構成するトランジスタと、その前段側の回路を構成するトランジスタとで、素子に要求される耐圧に対応して素子構造を変化する。たとえば、オフセット構造を採用する。また、請求項6で示すように、チャンネル長を変化させて対応するときには、高い耐圧が要求されるレベルシフト回路のトランジスタでは、チャンネル長を長くする。この場合、請求項7に示すように、このトランジスタのチャンネル長は、その前段側の回路を構成するトランジスタのチャンネル長の1.5～3倍の長さであることが好ましい。

30 【0033】また、請求項8で示すゲート絶縁膜の膜厚で対応するときには、レベルシフト回路のトランジスタの膜厚を厚くする。この場合、請求項9に示すように、このトランジスタのゲート絶縁膜の膜厚は、その前段側の回路を構成するトランジスタのゲート絶縁膜の膜厚の1.25倍から2.5倍であることが好ましい。

40 【0034】また、請求項10で示すように、高い耐圧が要求されるレベルシフト回路を構成するトランジスタを、チャンネル領域とソース領域およびドレイン領域との間に不純物濃度の低い領域を有する、いわゆるLDD構造としてもよい。この場合、請求項11に示すように、このトランジスタにおける不純物濃度の低い領域では、面積あたりの不純物ドーピング量が $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ であることが好ましい。

【0035】このように、レベルシフト回路の耐圧を高くすれば、レベルシフト回路と、その後段側の回路とに、ともに高い信頼性を得ることができる。

【0036】また、請求項12の発明に係るマトリクス型画像表示装置は、上記走査信号線駆動回路またはデータ信号線駆動回路の少くともいずれか一方を構成するトランジスタは、上記画素を構成するトランジスタとともに、多結晶シリコン薄膜でモノリシックに形成されることを特徴とする。

50 【0037】上記の構成によれば、走査信号線駆動回路

またはデータ信号線駆動回路の少くともいずれか一方が、画素の形成される絶縁基板上に一体で形成される。

【0038】したがって、画素と駆動回路とを同一のプロセスで形成することができ、製造コストを低減することができる。

【0039】

【発明の実施の形態】本発明の実施の一形態について、図1～図7に基づいて説明すれば以下のとおりである。

【0040】図1は本発明の実施の一形態の走査信号線駆動回路GDの電氣的構成を示すブロック図であり、図2はその走査信号線駆動回路GDの動作を説明するための波形図であり、図3は本発明の実施の一形態のデータ信号線駆動回路SDの電氣的構成を示すブロック図である。これらの信号線駆動回路GD、SDは、前述の一般的な液晶表示装置1における従来技術の信号線駆動回路gd、sdにそれぞれ代えて、使用することができる。

【0041】走査信号線駆動回路GDは、上記各走査信号線GL_jに個別的に対応する走査回路SRG_j（上記j=1, 2, …, n）、論理回路LOG_j、レベルシフタLS1_j、レベルシフタLS2_jおよびバッファBUF_jを備えて構成されている。

【0042】走査回路SRG_jは、シフトレジスタなどで実現され、相互に縦続接続されている。これらの走査回路SRG_jには、共通に、上記制御回路2から、水平同期信号などに基づいて作成され、図2（a）で示すようなクロック信号CKGが入力されている。また、始端の走査回路SRG₁には、上記制御回路2から、垂直同期信号などに基づいて作成され、図2（b）で示すようなスタートパルスSPGが入力されており、残余の走査回路SRG₂～SRG_nには、それぞれ前段側の走査回路SRG_{j-1}～SRG_{j-2}からの出力が与えられる。したがって、上記スタートパルスSPGは、上記クロック信号CKGに応答して、順次、後段側の走査回路へと伝送されてゆく。

【0043】上記各走査回路SRG_jからの出力はまた、対応する論理回路LOG_jにそれぞれ入力されている。これらの論理回路LOG_jにはまた、図2（c）で示すような、たとえば上記クロック信号CKGの2倍の周波数のクロック信号GPSが、上記制御回路2から入力されている。論理回路LOG_jは、図2（d）で示すように、走査回路SRG_jからの出力およびクロック信号GPSが共にハイレベルである期間のみ、ハイレベルの出力を導出する。したがって、この論理回路LOG_jからの出力は、ほぼ上記クロック信号CKGの1/4の周期だけハイレベルとなり、隣接する論理回路LOG_{j+1}、LOG_{j-1}との間で、ハイレベルとなる期間が相互に重複することはない。

【0044】上記走査回路SRG_jおよび論理回路LOG_jは、上記制御回路2や、図示しない画像信号処理回路と同様に、駆動電圧が5Vとなっており、したがって

論理回路LOG_jからの出力電圧レベルは0V/5Vとなる。この論理回路LOG_jからの出力は、第1のレベルシフタLS1_jにおいて、図2（e）で示すように、その電圧レベルが0V/10Vに変換され、さらに第2のレベルシフタLS2_jにおいて、図2（f）で示すように、-8V/10Vに変換される。レベルシフタLS2_jからの出力は、バッファBUF_jにおいて増幅されるとともに、必要に応じて反転されて、上記各走査信号線GL_jへ出力される。走査信号線GL_jの電圧レベルは、図2（g）で示すようになる。

【0045】また、データ信号線駆動回路SDは、各データ信号線SL_i毎に個別的に設けられる走査回路SR_i（上記i=1, 2, …, m）、論理回路LOS_i、レベルシフタLS3_iおよびサンプリング回路SMP_iを備えて構成されている。走査回路SR_iは、上記走査回路SRG_jと同様に相互に縦続接続されており、これらの走査回路SR_iには、共通に、上記制御回路2からクロック信号CKSが入力され、かつ始端の走査回路SR₁には、水平同期信号などに基づいて作成されたスタートパルスSPSが入力され、残余の走査回路SR₂～SR_mには、前段側の走査回路SR_{i-1}～SR_{i-2}からの出力がそれぞれ入力されている。

【0046】各走査回路SR_iからの出力は、ラッチ回路などで実現される論理回路LOS_iを介して、レベルシフタLS3_iに入力される。レベルシフタLS3_iは、上記論理回路LOS_iからの0V/5Vの信号の低電位側をレベルシフトして、-5V/5Vに変換して、サンプリング回路SMP_iへ出力する。これによって、制御回路2からの画像データDATがサンプリングされて、各データ信号線SL_iにそれぞれ出力される。

【0047】図4は、上記レベルシフタLS1_j、LS2_jの具体的構成を示す電気回路図である。論理回路LOG_jの出力段は、トランジスタQ01、Q02から成るCMOSインバータで構成されており、この出力段からは、2本のラインL01、L02のそれぞれに、相互に逆相の0V/5Vの信号が出力される。

【0048】上記ラインL01、L02から入力される0V/5Vの入力信号は、レベルシフタLS1_jのトランジスタQ11、Q12のゲートにそれぞれ入力される。トランジスタQ11、Q12は、NMOSから成り、ソースは低電位である0Vの電源ラインPL1に共通に接続されている。トランジスタQ11のドレインは、トランジスタQ13のドレインおよびトランジスタQ14のゲートに接続されている。また、トランジスタQ12のドレインは、トランジスタQ14のドレインおよびトランジスタQ13のゲートに接続されている。トランジスタQ13、Q14は、PMOSから成り、ソースは共通に高電位である10Vの電源ラインPL2に接続されている。上記トランジスタQ11、Q12のドレインからはまた、それぞれラインL11、L12に出力

が導出される。

【0049】したがって、上記ラインL01が5Vであり、ラインL02が0Vであるときには、トランジスタQ11、Q14が導通し、トランジスタQ12、Q13が遮断して、ラインL11が0Vとなり、ラインL12が10Vとなる。これに対して、ラインL01が0Vであり、ラインL02が5Vであるときには、トランジスタQ11、Q14が遮断し、トランジスタQ12、Q13が導通して、ラインL11が10Vとなり、ラインL12が0Vとなる。こうして、論理回路LOG_iからの入力信号レベル0V/5Vの高電位側の電圧レベルが、このレベルシフタLS₁によって10Vにシフトされる。

【0050】上記ラインL11、L12は、それぞれレベルシフタLS₂のトランジスタQ21、Q22のゲートに接続されている。トランジスタQ21、Q22は、PMOSから成り、ソースは共通に上記10Vの電源ラインPL2に接続されている。トランジスタQ21のドレインは、トランジスタQ23のドレインおよびトランジスタQ24のゲートに接続されており、トランジスタQ22のドレインは、トランジスタQ24のドレインおよびトランジスタQ23のゲートに接続されている。トランジスタQ23、Q24は、NMOSから成り、ソースは共通に低電位である-8Vの電源ラインPL3に接続されている。トランジスタQ21、Q23のドレインには、バッファBUF_iへの出力ラインL2が接続されている。

【0051】したがって、ラインL11が10Vであり、ラインL12が0Vであるときには、トランジスタQ22、Q23が導通し、トランジスタQ21、Q24が遮断して、出力ラインL2は-8Vとなる。これに対して、ラインL11が0Vであり、ラインL12が10Vであるときには、トランジスタQ21、Q24が導通し、トランジスタQ22、Q23が遮断して、出力ラインL2は10Vとなる。こうして、レベルシフタLS₂によって、低電位側の電圧レベルも0Vから-8Vにシフトされて出力される。

【0052】上記データ信号線駆動回路SDにおけるレベルシフタLS₃は、論理回路LOS_iからの入力信号レベル0V/5Vの低電位側の電圧レベルを-5Vにシフトしており、したがってこの走査信号線駆動回路GDにおけるレベルシフタLS₂と同様に構成されている。

【0053】上述のように構成される信号線駆動回路GD、SDを構成するトランジスタの素子構造は、たとえば図5で示される。図5は、上記信号線駆動回路GD、SDを構成するトランジスタの素子構造を模式的に示す断面図である。この図5において、参照符TG、TS、TDは、それぞれゲート電極、ソース領域、ドレイン領域であり、参照符CNLはチャネル領域であり、参照符

RAYはゲート絶縁膜を表す。

【0054】図5(a)は、走査回路SRG_i、SRS_i、および論理回路LOG_i、LOS_iなどを構成するトランジスタであり、シングルドレイン構造と称される最も単純な構造を有するトランジスタである。このトランジスタでは、ゲート電極TGをマスクとしたイオンドープで、自己整合的にソース領域TSおよびドレイン領域TDが形成される。

【0055】これに対して、レベルシフタLS₁、LS₂、LS₃ならびにバッファBUF_iおよびサンプリング回路SMP_iで使用されるトランジスタは、高耐圧のトランジスタである。このトランジスタは、図5(b)~図5(f)で示されるような構造とされる。

【0056】図5(b)に示すトランジスタは、参照符CNLaで示すように、図5(a)に示すトランジスタよりチャネル長が長く形成されている。一般に、チャネル長が長くなると、ソース/ドレイン間の電界が緩和されて、素子耐圧(ソース/ドレイン間耐圧、長時間の動作においてトランジスタが劣化しない印加電圧)が向上することが知られている。また、チャネル長が長くなるほど、トランジスタの性能(駆動能力)は低下する。チャネル長の長すぎるトランジスタを使用すると、結果的に信号線駆動回路GD・SDの特性、あるいは表示装置全体の特性を損なうことになる。従って、信号線駆動回路GD・SDの特性、あるいは表示装置全体の特性を十分に引き出せるように、この図5(b)に示したトランジスタのチャネル長における上限が決められる。

【0057】この図5(b)に示すトランジスタの活性層は、非晶質シリコン薄膜を多結晶化して製造することができる。この非晶質シリコン薄膜の多結晶化には複数の方法があるが、大別して、熱処理により多結晶化する方法、レーザー照射により多結晶化する方法、およびこれら2つの方法を組み合わせる方法がある。さらに、これらの方法と、金属触媒を用いて結晶化を促進する方法とを組み合わせる方法もある。上記の方法による活性層の形成においては、熱処理の温度や時間、レーザーの出力等の条件により、形成されるトランジスタのチャネル長と素子耐圧との相関関係は異なる。

【0058】例えば、ある方法・条件下における非晶質シリコン薄膜の多結晶化によって製造された、チャネル長3μmで5~7Vの素子耐圧を得ることのできる多結晶シリコン薄膜トランジスタにおいて、10V以上の素子耐圧を確保するためには、チャネル長は4.5μm以上必要であり、15V以上の素子耐圧を確保するためには、チャネル長は6μm以上必要である。また、このトランジスタにおける、信号線駆動回路GD・SDの特性、あるいは表示装置全体の特性を損なわない程度のチャネル長の長さは、好ましくは10μm以下、さらに好ましくは8μm以下である。

【0059】また、上記の非晶質シリコン薄膜の多結晶

化の方法・条件を変えて製造された、チャネル長 $2\mu\text{m}$ で素子耐圧 $5\sim 7\text{V}$ を得ることのできるトランジスタでは、 10V 以上の素子耐圧を確保するためには、チャネル長は $3\mu\text{m}$ 以上必要であり、 15V 以上の素子耐圧を確保するためには、チャネル長は $4.5\mu\text{m}$ 以上必要である。また、このトランジスタにおけるチャネル長の上限は、好ましくは $8\mu\text{m}$ であり、さらに好ましくは $6\mu\text{m}$ である。

【0060】また、上記の非晶質シリコン薄膜の多結晶化の方法・条件をさらに変えて製造された、チャネル長 $4\mu\text{m}$ で素子耐圧 $5\sim 7\text{V}$ を得るトランジスタでは、 10V 以上の素子耐圧を確保するためには、チャネル長は $6\mu\text{m}$ 以上必要であり、 15V 以上の素子耐圧を確保するためには、チャネル長は $8\mu\text{m}$ 以上必要である。また、このトランジスタにおけるチャネル長の上限は、好ましくは $12\mu\text{m}$ であり、さらに好ましくは $10\mu\text{m}$ である。

【0061】例えば、図1における走査信号線駆動回路GDの構成において、走査回路SRG_i及び論理回路LOG_iに用いるトランジスタとして、チャネル長が $3\mu\text{m}$ の、図5(a)に示したトランジスタを用い、駆動電圧 5V で駆動させると共に、レベルシフタLS1_i・LS2_i、およびバッファBUF_iに用いるトランジスタとして、チャネル長が $7\mu\text{m}$ の図5(b)に示したトランジスタを用いて、電圧 10V ないし 18V で駆動させる。このような構成により、高速で、かつ、信頼性の高い走査信号線駆動回路GDを実現することが可能となる。

【0062】上記のように、チャネル長と素子耐圧の向上との相関関係は、上記したトランジスタ（特に活性層）の製造方法や、トランジスタの構造（大きさ等）によって異なるが、信号線駆動回路GD・SDに用いる場合には、図5(b)に示したトランジスタにおけるチャネル長が、図5(a)に示したトランジスタのチャネル長の1.5倍から3倍であれば、トランジスタの活性層を形成するための非晶質シリコン薄膜の多結晶化の方法・条件や、トランジスタの構造（大きさ等）によらず、好ましい素子耐圧を得ることができる。信号線駆動回路GD・SDにおけるレベルシフタLS1_i・LS2_iおよびLS3_iに用いるトランジスタと、その前段側の回路に用いるトランジスタとのチャネル長の比がこの範囲であれば、信号線駆動回路GD・SDは最も効率良く動作する。

【0063】また図5(c)で示すトランジスタは、参照符RAYaで示すように、図5(a)に示したトランジスタよりゲート絶縁膜の膜厚が厚く形成されている。一般に、ゲート絶縁膜の膜厚が厚くなると、この厚さに比例して素子耐圧が向上する。ただし、成膜方法によっては、欠陥などのために、ある膜厚以下では急速に耐圧が低下することも知られている。また、ゲート絶縁膜が

厚くなるほど、トランジスタの性能（駆動能力）は低下する。ゲート絶縁膜が厚すぎるトランジスタを使用すると、結果的に、信号線駆動回路GD・SDの特性、あるいは表示装置全体の特性を損なうことになる。従って、信号線駆動回路GD・SDの特性、あるいは表示装置全体の特性を十分に引き出せるように、この図5(c)に示したトランジスタのゲート絶縁膜の膜厚における上限が決められる。

【0064】この図5(c)に示すようなトランジスタのゲート絶縁膜は、CVD法（Chemical Vapor Deposition法）という方法で作成することができる。このCVD法には、熱CVD法やプラズマCVD法等の方法があり、また、用いるガス種や反応温度等の条件により、作成されるゲート絶縁膜の膜質が異なる。従って、それぞれの条件によって、形成されるトランジスタのゲート絶縁膜の膜厚と素子耐圧との相関関係は異なる。

【0065】例えば、ある方法・条件下におけるCVD法によってゲート絶縁膜が作成された、ゲート絶縁膜の膜厚が 80nm で 10V 前後の素子耐圧が得られる多結晶シリコン薄膜トランジスタにおいて、 15V 以上の素子耐圧を得るためには、ゲート絶縁膜の膜厚は 100nm 以上必要であり、 20V 以上の素子耐圧を確保するためには、 120nm 以上のゲート絶縁膜の膜厚が必要である。また、このトランジスタにおける、信号線駆動回路GD・SDの特性、あるいは表示装置全体の特性を損なわない程度のゲート絶縁膜の膜厚は、好ましくは 200nm 以下、さらに好ましくは 150nm 以下である。

【0066】また、上記のCVD法の方法・条件を変えて、ゲート絶縁膜の膜厚が 90nm で 10V 前後の素子耐圧が得られる多結晶シリコン薄膜トランジスタにおいて、 15V 以上の素子耐圧を得るためには、ゲート絶縁膜の膜厚は 110nm 以上必要であり、 20V 以上の素子耐圧を確保するためには、 130nm 以上のゲート絶縁膜の膜厚が必要である。また、このトランジスタにおけるゲート絶縁膜の膜厚の上限は、好ましくは 220nm 、さらに好ましくは 180nm である。

【0067】また、上記のCVD法の方法・条件をさらに変えて、ゲート絶縁膜の膜厚が 100nm で 10V 前後の素子耐圧が得られる多結晶シリコン薄膜トランジスタにおいて、 15V 以上の素子耐圧を得るためには、ゲート絶縁膜の膜厚は 125nm 以上必要であり、 20V 以上の素子耐圧を確保するためには、 150nm 以上のゲート絶縁膜の膜厚が必要である。また、このトランジスタにおけるゲート絶縁膜の膜厚の上限は、好ましくは 250nm 、さらに好ましくは 220nm である。

【0068】例えば、図1における走査信号線駆動回路GDの構成において、走査回路SRG_i及び論理回路LOG_iに用いるトランジスタとして、ゲート絶縁膜の膜厚が 80nm の図5(a)に示したトランジスタを用

い、駆動電圧5Vで駆動させると共に、レベルシフトLS₁・LS₂、およびバッファBUF₁に用いるトランジスタとして、ゲート絶縁膜の膜厚が120nmの図5(c)に示したトランジスタを用いて、電圧10Vないし18Vで駆動させる。このような構成により、高速で、かつ、信頼性の高い走査信号線駆動回路GDを実現することが可能となる。

【0069】上記のように、膜厚の程度と素子耐圧の向上との相関関係は、ゲート絶縁膜の成膜方法、熱処理条件およびトランジスタの構造（大きさ等）等によって異なるが、信号線駆動回路GD・SDに用いる場合には、図5(c)に示したトランジスタにおけるゲート絶縁膜が、図5(a)に示したトランジスタのゲート絶縁膜の膜厚の1.25倍から2.5倍であれば、ゲート絶縁膜を形成するためのCVD法の条件やトランジスタの構造（大きさ等）によらず、好ましい素子耐圧を得ることができる。信号線駆動回路GD・SDにおけるレベルシフトLS₁・LS₂、およびLS₃に用いるトランジスタと、その前段側の回路に用いるトランジスタとのゲート絶縁膜の膜厚の比がこの範囲であれば、信号線駆動回路GD・SDは最も効率良く動作する。

【0070】一方、図5(d)で示すトランジスタは、LDD構造と称されるトランジスタである。このトランジスタには、チャンネル領域CNLと、ソース領域TSおよびドレイン領域TDとの間に、参照符LDDで示す不純物濃度の低い領域、すなわち、面積あたりの不純物ドーピング量が比較的低い領域、(LDD領域、Lightly Doped Drain領域)が形成されている。

【0071】トランジスタの特性に影響を与えるのは、実際には、体積あたりの不純物濃度であるが、ここでは、製造プロセスの条件として、面積あたりの不純物ドーピング量をLDD領域の特徴としている。トランジスタの通常の製造プロセスでは、注入された不純物のほとんどが活性層に入るように設定されているので、面積あたりの不純物ドーピング量を活性層の膜厚で除した値が体積あたりの不純物濃度となる。ソース領域TSおよびドレイン領域TDにおける面積あたりの不純物ドーピング量は、 $1 \times 10^{13} \sim 5 \times 10^{13} / \text{cm}^2$ であるのに対し、この領域LDDにおける面積あたりの不純物ドーピング量は、好ましくは $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ であり、さらに好ましくは $5 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ である。

【0072】前述のように、ソース／ドレイン間の電界を緩和することにより、素子耐圧を向上できることが知られている。この電界の緩和を実現する方法の1つとして、LDD構造(Lightly Doped Drain構造)がある。これは、トランジスタの接合領域(ソース／ドレイン間のpn接合領域)を、面積あたりの不純物ドーピング量の低いLDD領域とし、この領域

における空乏層幅を拡げることによって、上記の電界を緩和する構造である。

【0073】図5(d)に示したトランジスタの接合領域は、セルフアライン注入によって作成することができる。このトランジスタにおける接合領域の面積あたりの不純物ドーピング量とソース／ドレイン間の電界の緩和との相関関係は、トランジスタの作成方法（特に接合領域）によって異なるが、上記のセルフアライン注入によって作成された接合領域を有するトランジスタの場合、チャンネル長5μmのLDD構造でないトランジスタでは、素子耐圧は5～7V前後である。これに対し、 $2 \times 10^{13} / \text{cm}^2$ 程度、すなわち、面積あたりの不純物ドーピング量が $5 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ であるLDD領域をもつトランジスタでは、チャンネル長5μmで、15V以上の素子耐圧を確保することができる。

【0074】このトランジスタにおけるLDD領域の面積あたりの不純物ドーピング量は、この領域の抵抗がチャンネルのオン抵抗と同程度となるように決定される。この領域の面積あたりの不純物ドーピング量が $1 \times 10^{14} / \text{cm}^2$ より大きいと、この領域の抵抗値が小さくなり過ぎて、印加電圧のほとんどがトランジスタのチャンネル領域にかかる。従って、ソース／ドレイン間の電界を緩和できなくなる。また、この領域の面積あたりの不純物ドーピング量が $1 \times 10^{12} / \text{cm}^2$ 以下であると、トランジスタの信頼性は向上するが、この領域の抵抗値が大きくなり過ぎて、トランジスタの駆動能力を大きく低下させることになる。従って、図5(d)に示したトランジスタにおける領域LDDの面積あたりの不純物ドーピング量は、信号線駆動回路GD・SDに用いる場合には、好ましくは $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ であり、さらに好ましくは $5 \times 10^{12} \sim 5 \times 10^{13} / \text{cm}^2$ である。

【0075】上記のセルフアライン注入によるトランジスタのLDD領域の形成においては、活性層の膜質、ゲート絶縁膜と活性層との界面状態、LDD領域の幅、注入不純物の種類、注入エネルギーおよび注入不純物の活性化条件等により、LDD領域の面積あたりの不純物ドーピング量と素子耐圧との相関関係は異なるが、面積あたりの不純物ドーピング量が上記の範囲であれば、好ましい素子耐圧が得られる。

【0076】例えば、図1における走査信号線駆動回路GDの構成において、走査回路SRG₁及び論理回路LOG₁に用いるトランジスタとして、シングルドレイン構造(LDD領域を有さない構造)の図5(a)に示したトランジスタを用い、駆動電圧5Vで駆動させると共に、レベルシフトLS₁・LS₂、およびバッファBUF₁に用いるトランジスタとして、面積あたりの不純物ドーピング量が $2 \times 10^{13} / \text{cm}^2$ のLDD領域を有する図5(d)に示したトランジスタを用いて、電圧10Vないし18Vで駆動させる。このような構成によ

り、高速で、かつ、信頼性の高い走査信号線駆動回路GDを実現することが可能となる。

【0077】また、図5(e)で示すトランジスタは、オフセット構造と称されるトランジスタであり、上記チャネル領域CNLとソース領域TSおよびドレイン領域TDとの間に、参照符OFFで示す不純物がドーピングされていない領域(オフセット領域)を有している。さらにまた、図5(f)で示すトランジスタは、マルチゲート構造と称されるトランジスタであり、参照符CNL1、CNL2で示すように複数のチャネルが直列に接続されて構成されている。

【0078】このような図5(d)～図5(f)で示すような構造のトランジスタは、いずれも同一チャネル長、かつ同一ゲート膜厚では、上記図5(a)の構造を有するトランジスタよりもソースドレイン間の耐圧を大きくすることができる。したがって、このような構造に形成することによってまた、トランジスタの耐圧を高くすることができる。また、上記図5(b)およびこれら図5(d)～図5(f)で示す構造は、特に、図5(a)で示す構造と同一工程で形成することができるので、非常に有効である。さらに、これら図5(d)～図5(f)で示す構造のトランジスタに、図5(b)または図5(c)で示す構造の少くともいずれか一方を適用することによって、さらに耐圧を高めることができる。こうして、信号線駆動回路GD、SD内の各トランジスタには、所望とする耐圧を得ることができ、信頼性を向上することができる。

【0079】なお、上記走査回路SRG_i、SRS_iは、たとえば図6で示すような構成で実現されている。各走査回路SRG_i、SRS_iは、CMOS構造の2つのクロックトインバータINV1、INV2と、インバータINV3とを備えて構成されている。インバータINV1の入力端には、上記スタートパルスSPG、SPSまたは前段の走査回路の出力が入力される。この図6において、参照符CKで示すクロック入力端子には、上記クロック信号CKG、CKSが入力され、参照符/CKで示すクロック入力端子には、上記クロック信号CKG、CKSを反転して得られたクロック信号が入力される。

【0080】インバータINV1の出力は、インバータINV3で反転されて、論理回路LOG_i、LOS_iへ出力されるとともに、次段の走査回路へ出力される。また、この出力は、インバータINV2によって上記インバータINV3の入力側に帰還されている。こうして、各走査回路SRG_i、SRS_iは、クロック信号CKG、CKSに応答して、順次的に上記スタートパルスSPG、SPSを、該クロック信号CKG、CKSの1周期の期間だけ保持してゆくことができる。

【0081】また、上述のように構成される信号線駆動回路GD、SDによって駆動される画素PIXは、たと

えば図7で示すように構成されている。図7は、各画素PIXにおける電氣的構成を模式的に示す電気回路図である。各画素PIXは、大略的に、上記スイッチング素子であり、走査信号線GL_iがハイレベルとなったときに選択されて上記データ信号線SL_iの信号レベルを取込む電界効果トランジスタSWと、この電界効果トランジスタSWで取込まれた信号レベルが一方の電極に印加される画素容量とを備えて構成されている。上記画素容量は、液晶容量CLと、必要によって付加される補助容量CSとによって構成されている。

【0082】上記走査信号線GL_iがハイレベルとなると、電界効果トランジスタSWのドレインソース間が導通して、データ信号線SL_iと液晶容量CLおよび補助容量CSの一方の電極とが接続される。液晶容量CLの他方の電極は、全面素に共通の対向電極VPに接続されている。また、補助容量CSの他方の電極は、この図7で示す、いわゆるCSオンコモン構造の場合には、上記液晶容量CLと同様に、対向電極VPに接続される。こうして、上記データ信号線SL_iから取込まれ、液晶容量CLに印加される電圧によって、液晶の透過率または反射率に変調され、画像表示を行うことができる。

【0083】この図7で示すCSオンコモン構造は、走査信号線GL_iの容量を小さくでき、走査信号線駆動回路GDの負担が軽くなり、比較的大面積の画素アレイに好適に実施される。

【0084】以上のように、本発明に従う走査信号線駆動回路GDおよびデータ信号線駆動回路SDは、クロック信号CKG、CKS等を発生する制御回路2や画像信号処理回路などの外部回路からの入力信号レベルが、該信号線駆動回路GD、SDの正常に動作する範囲であれば、如何なる電圧レベルであっても、各画素PIXへは、それらの電界効果トランジスタSWの素子構造および画像信号レベルに対応した最適な駆動信号レベルとなるように、レベルシフタLS1_i、LS2_i、LS3_iで変換して与える。したがって、上記外部回路にさらにインタフェース回路等を付加する必要がなくなり、構成の簡略化および低消費電力化を図ることができるとともに、画素PIXを最適な駆動信号レベルで駆動して、高い表示品位を得ることができる。

【0085】また、レベルシフタLS1_i、LS2_i、LS3_iならびにその後段のバッファBUF_iおよびサンプリング回路SMP_iと、該レベルシフタLS1_i、LS2_i、LS3_iよりも前段の走査回路SRG_i、SRS_iおよび論理回路LOG_i、LOS_iとの素子構成を相互に異なるように構成するので、使用する電圧に対応した耐圧を得ることができ、高い信頼性を得ることができる。

【0086】さらにまた、一般に、データ信号線駆動回路SDの出力段(図3の例ではサンプリング回路SMP_i)はCMOS構成であるのに対して、画素PIXの電

界効果トランジスタSWは片チャンネル(図7の例ではNチャンネル)構成である。したがって、高電位レベルの出力時に要求される高電位側電圧は、データ信号線駆動回路SDよりも走査信号線駆動回路GDの方が高くなる。また、電界効果トランジスタSWの方が上記出力段よりも画像データDATを保持すべき期間が長い(電界効果トランジスタSWは1フィールド、データ信号線駆動回路SDの出力段は1水平走査周期)のために、低電圧レベルの保持時に要求される低電位側電圧は、データ信号線駆動回路SDよりも走査信号線駆動回路GDの方が低くなる。

【0087】したがって、本発明のようにデータ信号線駆動回路SDの一方の駆動電圧(図3の例では5V)を固定して、該データ信号線駆動回路SDの他方の駆動電圧(0V)および走査信号線駆動回路GDの駆動電圧をシフトさせる方が、走査信号線駆動回路GDの一方の駆動電圧を固定して他の3つの駆動電圧をシフトさせるよりも、レベルシフトLS1, LS2, LS3における最大シフト量を小さくすることができる。

【0088】たとえば、図1および図4で示す走査信号線駆動回路GDの場合には、レベルシフトLS2におけるシフト量は-8Vであるのに対して、該走査信号線駆動回路GDの一方の駆動電圧、たとえば高電位側の5Vを固定した場合には、上記レベルシフトLS2のシフト量は、-13Vとする必要がある。このようにレベルシフトLS1, LS2, LS3でのシフト量が大きくなると、動作が不安定になったり、信号遅延が増大する恐れがあるのに対して、本発明の走査信号線駆動回路GD, SDのように、データ信号線駆動回路SDの一方の電位を固定することによって、そのような不具合も解消することができる。

【0089】本発明の実施の他の形態について、図8〜図10に基づいて説明すれば以下のとおりである。

【0090】図8は、本発明の実施の他の形態の液晶表示装置11の概略的構成を示す正面図である。この液晶表示装置11では、上記信号線駆動回路GD, SDは、画素アレイARYとともに共通の基板12上に一体で形成されている。上記図11で示す液晶表示装置11では、上記画素PIXの電界効果トランジスタSWは非晶質シリコンから成り、信号線駆動回路GD, SDは、画素アレイARYに外付けの集積回路で構成されている。

【0091】これに対して、近年の大画面化に伴う上記電界効果トランジスタSWの駆動力向上や、該信号線駆動回路GD, SDの実装コストの低減、さらには実装に対する信頼性等の要求から、石英基板上に多結晶シリコン薄膜を用いて、モノリシックに上記画素アレイARYと信号線駆動回路GD, SDとを形成する技術が報告されている。さらに、より大画面化および低コスト化を目指して、ガラス基板を用い、そのガラスの歪点である約600℃以下のプロセス温度で、電界効果トランジスタ

SWを多結晶シリコン薄膜で形成することも試みられている。したがって、この液晶表示装置11は、このようにガラスから成る基板12上に画素アレイARYと信号線駆動回路GD, SDとを一体で形成し、この基板12に上記制御回路2および電源電圧発生回路13を接続している。

【0092】上記電源電圧発生回路13は、上記データ信号線駆動回路SDへは、端子VSHからハイレベルの電圧5Vを出力し、端子VSLからローレベルの電圧-5Vを出力する。基板12には、端子COMからの0Vの共通電圧が与えられるとともに、端子VPから、上記対向電極VPの電圧0V/5Vが与えられる。

【0093】これに対して、走査信号線駆動回路GDへは、端子VGHからハイレベルの電圧10Vを出力し、また端子VGLからはローレベルの電圧、上記-8Vまたは-3Vを出力する。これは、対向電極VPの電圧レベルを上記0V/5Vと変化させて交流駆動を行うことに対応するためであり、走査信号線GL_iの高電位側の電圧レベルは10Vのままであるけれども、低電位側の電圧レベルを、上記対向電極VPの電圧レベルが0Vであるときには-8Vとし、対向電極VPの電圧レベルが5Vのときには-3Vとするためである。もちろん、この他に、走査回路SRG_i, SRS_iおよび論理回路LOG_i, LOS_iなどを駆動するための電源(0V/5V)が、信号線駆動回路GD, SDに供給される。

【0094】この液晶表示装置11における画素PIXの構成は、たとえば図9で示されている。各画素PIXは、大略的に、電界効果トランジスタSWと、液晶容量CLおよび補助容量CSから成る画素容量とから構成されている。電界効果トランジスタSWのゲートは上記走査信号線GL_iに接続され、ドレインはデータ信号線SL_iに接続され、ソースは上記液晶容量CLおよび補助容量CSの一方の電極に接続されている。液晶容量CLの他方の電極である対向電極VPには、上記電源電圧発生回路13から、駆動電圧5V/0Vが印加される。また、補助容量CSの他方の電極は、隣接する走査信号線GL_{i+1}に接続されている。

【0095】このように構成される、いわゆるCSオンゲート構造の画素PIXでは、対向電極VPの交流駆動に併せて、補助容量CSの他方の電極である走査信号線GL_iも、同周期、かつ同振幅で交流駆動する必要がある。このため、走査信号線駆動回路GDのオフレベルに相当する電圧、この図9の例では電界効果トランジスタSWがNMOS構成であるので、低電位側の駆動電圧を、上記周期で変動させる必要がある。

【0096】たとえば、交流周期が2フィールド期間であるときには、奇数フィールドは偶数フィールドよりも低電位側の駆動信号レベルが低くされ、また交流周期が2水平走査期間の場合には、奇数ラインは偶数ラインよりも低電位側の駆動信号レベルが低くされる。このよう

に、低電位側の駆動信号レベルを変化させるためには、上述のように電源電圧発生回路13からレベルシフタLS2₁に入力される電源電圧を変化させることによって、該レベルシフタLS2₁でのシフト量を変化するようにしてもよい。

【0097】このように対向電極VPを交流駆動することによって、データ信号線SL₁に出力すべき画像データDATの振幅を小さくし、データ信号線駆動回路SDの消費電力を低減することもできる。

【0098】図10は、上述のような液晶表示装置11の動作を説明するための波形図である。この液晶表示装置11の電源電圧発生回路13は、たとえば奇数フィールドと偶数フィールドとで、端子VGLから電源ラインPL3への出力電圧を、前述のように-8Vと-3Vとに切換えを行う。したがって、-8Vとする奇数フィールドでは前述の図2と同様の動作となり、これに対して-3Vとする偶数フィールドでは、この図10で示ようになる。図10(a)~図10(g)は、それぞれ前述の図2(a)~図2(g)に対応している。偶数フィールドでは、対向電極の電圧VPが5Vとなるのに対応して、レベルシフタLS2₁からの出力電圧の低電位側は-3Vとなり、これによって走査信号線GL₁の駆動電圧は、-3V/10Vとなる。

【0099】このようにして、図9で示すように補助容量CSの他方の端子を隣接する走査信号線GL₁₋₁に接続することによって共通電極の引回しを少くし、開口率を高くすることができるCSオンゲート構造の画素PIXを交流駆動するにあたって、電界効果トランジスタSWのオフ時のレベルを適応させることができ、高い品位の表示を行うことができる。

【0100】なお、本発明は、液晶表示装置1、11に限らず、走査信号線GL₁とデータ信号線SL₁とで区分されたマトリクス配列された領域に画素PIXが形成され、かつその画素PIX内にスイッチング素子を備えて構成されるマトリクス型の表示装置に好適に実施することができる。また、上述の駆動電圧および駆動信号レベルは、一例であり、素子構造および画像データDATの振幅レベルに対応して、適切な値に選ばれることは言うまでもない。

【0101】また、上記実施の形態1および2では、走査信号線駆動回路GDが第1および第2のレベルシフタである、レベルシフタLS1₁・LS2₁を備え、データ信号線駆動回路SDが第3のレベルシフタであるLS3₁を備えている構成となっているが、これに限るものではない。本発明は、データ信号線駆動回路SDが、レベルシフタLS1₁・LS2₁を備え、走査信号線駆動回路GDがレベルシフタLS3₁を備える構成でもよい。すなわち、データ信号線駆動回路SDが、LS3₁に代えてレベルシフタLS1₁・LS2₁を備え、走査信号線駆動回路GDが、LS1₁・LS2₁に代えてLS3₁を

備えている構成でもよい。また、データ信号線駆動回路SDが、LS3₁に代えてレベルシフタLS1₁・LS2₁を備え、これら信号線駆動回路GD・SDのそれぞれがレベルシフタLS1₁・LS2₁を備えている構成でもよい。ただし、これらのように、データ信号線駆動回路SDがレベルシフタLS1₁・LS2₁を備える構成とする場合には、データ信号線駆動回路SDと走査信号線駆動回路GDとの駆動信号レベルの違いを考慮しなければならない。すなわち、データ信号線を駆動するための最適な駆動信号レベルが得られるように、レベルシフタLS1₁・LS2₁による信号レベルのシフトの量を調整することが必要である。同様に、走査信号線駆動回路GDがレベルシフタLS3₁を備える構成とする場合にも、走査信号線を駆動するための最適な駆動信号レベルが得られるように、レベルシフタLS3₁による信号レベルのシフトの量を調整することが必要である。

【0102】また、本発明のマトリクス型画像表示装置は、走査信号線駆動回路GDは、上記2段のレベルシフタLS1₁・LS2₁を備えて入力信号レベルの高電位側および低電位側の両方の電圧レベルをシフトし、データ信号線駆動回路SDは、入力信号レベルの高電位側または低電位側のいずれか一方の電圧レベルをシフトするレベルシフタLS3₁を有する構成でもよい。この構成においても、上記した液晶表示装置1、11に好適に応用することができる。

【0103】また、本発明のマトリクス型画像表示装置は、画素PIXは、走査信号によって選択されると、スイッチング素子SWが画像データを取り込んで画素容量の一方の電極に与え、この画素容量を構成する補助容量CSの他方の電極は隣接する走査信号線GL₁に接続され、この画素容量の一方の電極と他方の対向電極との間に電圧を印加することによって表示媒体を駆動して画像表示を行い、上記対向電極は、その電圧レベルが予め定める周期で交流駆動され、走査信号線駆動回路GDは、2段のレベルシフタLS1₁・LS2₁を備え、いずれかのレベルシフタの電圧シフト量が上記周期毎に変化する構成としてもよい。

【0104】

【発明の効果】請求項1の発明に係るマトリクス型画像表示装置は、以上のように、走査信号線駆動回路またはデータ信号線駆動回路の少くともいずれか一方は、その出力段に、相互に直列に接続された2段のレベルシフト回路を備え、制御回路や画像信号処理回路などの外部回路からの低電圧をそのまま入力しても、上記レベルシフト回路によって、出力信号の電圧レベルを低電位側および高電位側ともに最適なレベルにシフトする。

【0105】それゆえ、上記外部回路の負担を軽くして、構成の簡略化および低消費電力化を図ることができるとともに、駆動回路構成や表示媒体などに適応した最適な駆動電圧を得ることができ、表示品位を向上するこ

とができる。

【0106】また、請求項2の発明に係るマトリクス型画像表示装置は、以上のように、上記走査信号線駆動回路とデータ信号線駆動回路との駆動信号レベルはそれぞれ最適化されて相互に異なり、これに対して、クロック信号やスタートパルスなどのこれらのデータ信号線駆動回路および走査信号線駆動回路への入力信号は相互にそのレベルが揃えられている。

【0107】それゆえ、上記外部回路の出力電圧ならびに走査信号線駆動回路およびデータ信号線駆動回路の駆動信号レベルを最適化しても、上記外部回路の出力側に、それらの出力電圧とデータ信号線駆動回路および走査信号線駆動回路の入力電圧とを整合させるためのレベル変換回路などを付加する必要がなくなり、上記外部回路の負担を軽減することができる。

【0108】さらにまた、請求項3の発明に係るマトリクス型画像表示装置では、以上のように、上記走査信号線駆動回路は、通常、画像データをデータ信号線に出力するデータ信号線駆動回路はCMOS構成となっているのに対して、各画素に設けられ、画像データの書込みを行うスイッチング素子はNMOS構成であり、走査信号線駆動回路の駆動電圧は、データ信号線駆動回路の駆動電圧よりも大きな電圧振幅が要求されるのに対応して、上記走査信号線駆動回路の高電位側および低電位側の両方の電圧レベルをシフトし、これに対して、上記データ信号線駆動回路は、上記データ信号線駆動回路の高電位側または低電位側のいずれか一方の電圧レベルをシフトする。

【0109】それゆえ、データ信号線駆動回路におけるシフトさせない他方の入力信号レベルを基準として、走査信号線駆動回路のいずれか一方の入力信号レベルを基準とするよりも、レベルシフト回路における最大シフト量を小さくすることができ、回路への負担を小さくすることができる。

【0110】また、請求項4の発明に係るマトリクス型画像表示装置では、以上のように、画素容量を構成する補助容量の他方の電極を隣接する走査信号線に接続するようにした、いわゆるCSオンゲート構造の画素構成とし、表示媒体の交流駆動の周期で、走査信号線駆動回路の駆動電圧のいずれか一方の電圧レベルを変動させる。

【0111】それゆえ、上記CSオンゲート構造では、走査信号線のオフ電圧レベルを対向電極の交流駆動と同期して、同振幅で変動させる必要があるのに対して、上記オフレベルである上記一方の電圧レベルを変動させることによって、走査信号線のレベルを所望とする波形として駆動することができる。

【0112】さらにまた、請求項5の発明に係るマトリクス型画像表示装置は、以上のように、上記レベルシフト回路を備える信号線駆動回路において、上記出力段に設けられる該レベルシフト回路を構成するトランジスタ

は、その前段側の回路を構成するトランジスタと素子構造を変えることによって、耐圧が高くなっている構成である。

【0113】この素子構造の相違は、例えばレベルシフト回路のトランジスタをオフセット構造とすることで実現できる。もしくは請求項6で示すようにチャンネル長を長くすることによっても、このトランジスタの耐圧を高くすることができる。この場合、請求項7に示すように、このトランジスタのチャンネル長は、その前段側の回路を構成するトランジスタのチャンネル長の1.5～3倍の長さであることが好ましい。

【0114】また、請求項8で示すように、レベルシフト回路のトランジスタにおけるゲート絶縁膜の膜厚を厚くすることによって、このトランジスタの耐圧を高くすることができる。この場合、請求項9に示すように、このトランジスタのゲート絶縁膜の膜厚は、その前段側の回路を構成するトランジスタのゲート絶縁膜の膜厚の1.25倍から2.5倍であることが好ましい。

【0115】また、請求項10で示すように、レベルシフト回路を構成するトランジスタを、チャンネル領域とソース領域およびドレイン領域との間に不純物濃度の低い領域を有する、いわゆるLDD構造としても、このトランジスタの耐圧を高くすることができる。この場合、請求項11に示すように、このトランジスタにおける不純物濃度の低い領域では、面積あたりの不純物ドーピング量が $1 \times 10^{12} \sim 1 \times 10^{14} / \text{cm}^2$ であることが好ましい。

【0116】上記のように、レベルシフト回路の耐圧を高くすれば、レベルシフト回路と、その後段側の回路とに、ともに高い信頼性を得ることができる。

【0117】また、請求項12の発明に係るマトリクス型画像表示装置は、以上のように、上記走査信号線駆動回路またはデータ信号線駆動回路の少くともいずれか一方を構成するトランジスタを、絶縁基板上に上記画素を構成するトランジスタとともに、多結晶シリコン薄膜でモノリシックに形成する。

【0118】それゆえ、画素と駆動回路とを同一のプロセスで形成することができ、製造コストを低減することができる。

【図面の簡単な説明】

【図1】本発明の実施の一形態の走査信号線駆動回路の電氣的構成を示すブロック図である。

【図2】図1で示す走査信号線駆動回路の動作を説明するための波形図である。

【図3】本発明の実施の一形態のデータ信号線駆動回路の電氣的構成を示すブロック図である。

【図4】図1で示す走査信号線駆動回路におけるレベルシフトの具体的構成を示す電気回路図である。

【図5】図4で示すようなレベルシフトを実現するための素子構造を、模式化して示す断面図である。

【図6】図1で示す走査信号線駆動回路および図3で示すデータ信号線駆動回路における走査回路の一構成例を示す電気回路図である。

【図7】本発明の実施の一形態の液晶表示装置における画素の電気的構成を模式的に示す電気回路図である。

【図8】本発明の実施の他の形態の液晶表示装置の概略的構成を示す正面図である。

【図9】図8で示す液晶表示装置における画素の電気的構成を模式的に示す電気回路図である。

【図10】図8で示す液晶表示装置における走査信号線駆動回路の動作を説明するための波形図である。

【図11】一般的な液晶表示装置の概略的構成を示す正面図である。

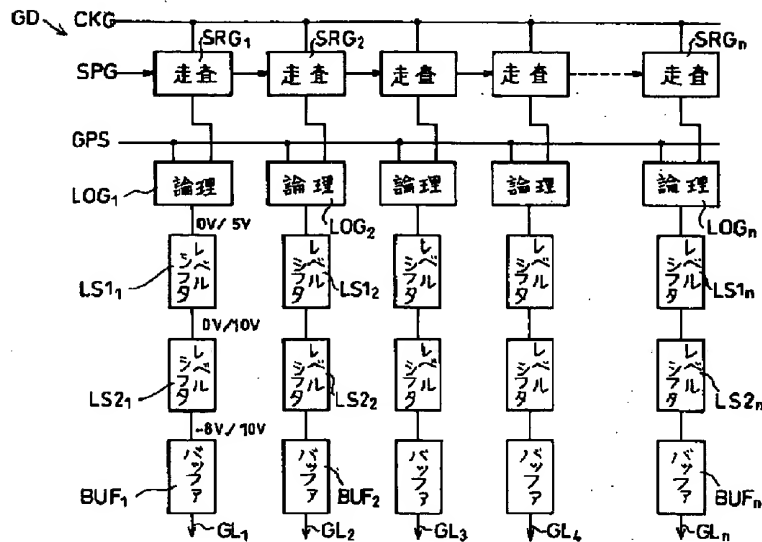
【図12】典型的な従来技術の液晶表示装置におけるデータ信号線駆動回路の電気的構成を示すブロック図である。

【図13】典型的な従来技術の液晶表示装置における走査信号線駆動回路の電気的構成を示すブロック図である。

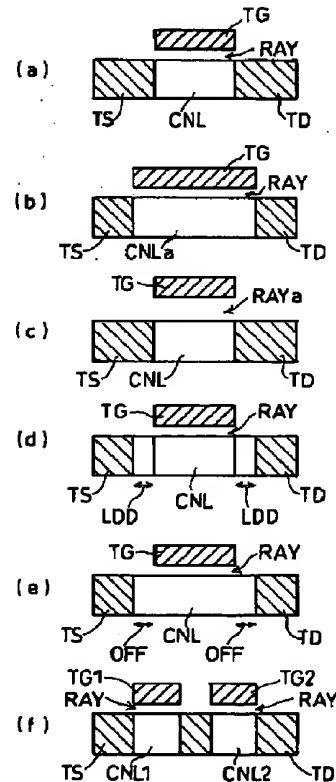
【符号の説明】

- * 1 液晶表示装置（マトリクス型画像表示装置）
 2 制御回路
 11 液晶表示装置（マトリクス型画像表示装置）
 12 基板
 13 電源電圧発生回路
 ARY 画素アレイ
 BUF_i バッファ
 CL 液晶容量
 CS 補助容量
 GD 走査信号線駆動回路
 GL_i 走査信号線
 LS1_i レベルシフタ（レベルシフト回路）
 LS2_i レベルシフタ（レベルシフト回路）
 LS3_i レベルシフタ（レベルシフト回路）
 SD データ信号線駆動回路
 SL_i データ信号線
 SMP_i サンプリング回路
 SRG_i 走査回路
 SRS_i 走査回路
 *20 SW 電界効果トランジスタ

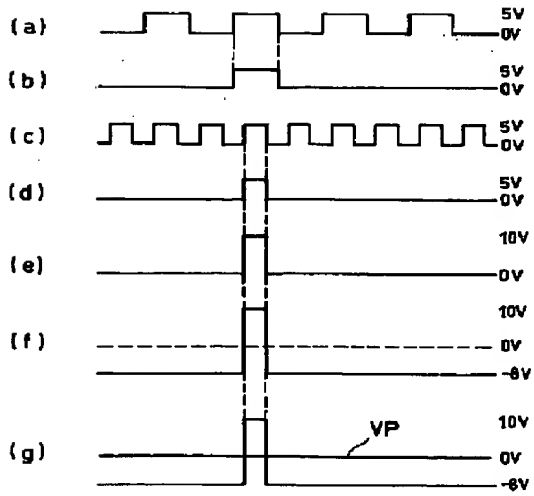
【図1】



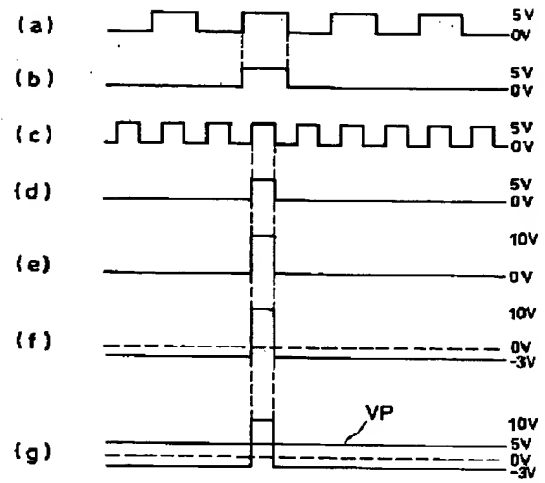
【図5】



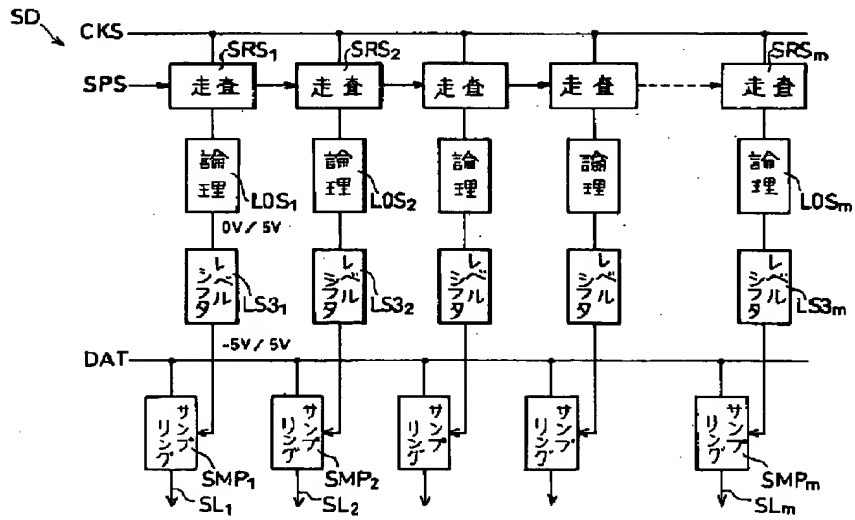
【図2】



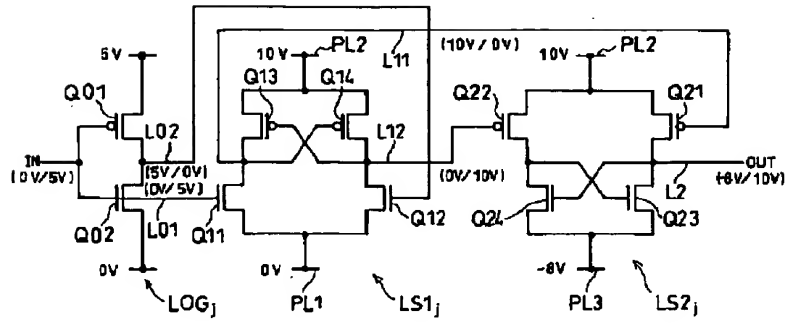
【図10】



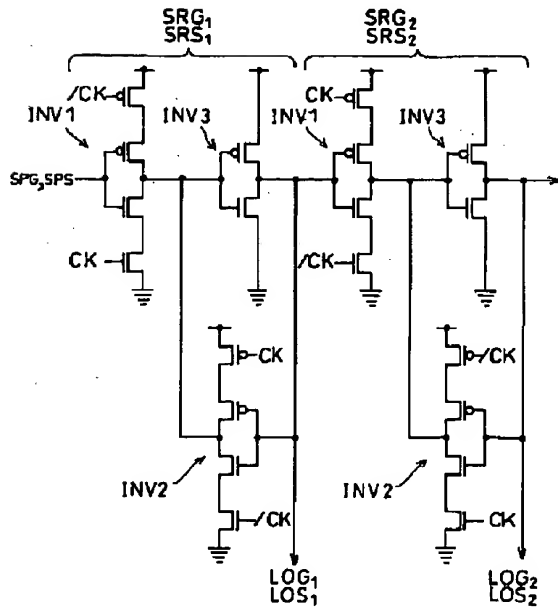
【図3】



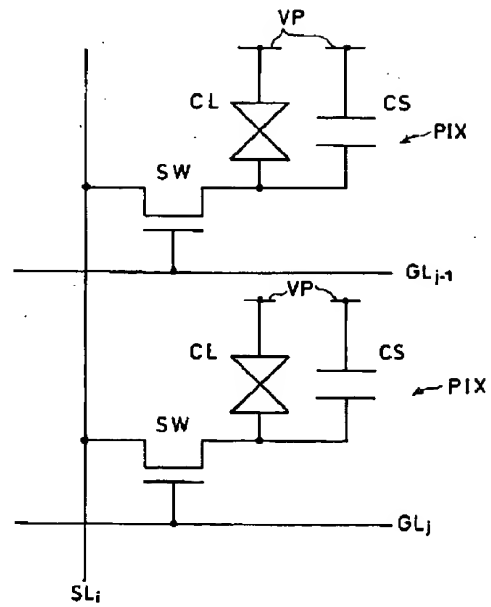
【図4】



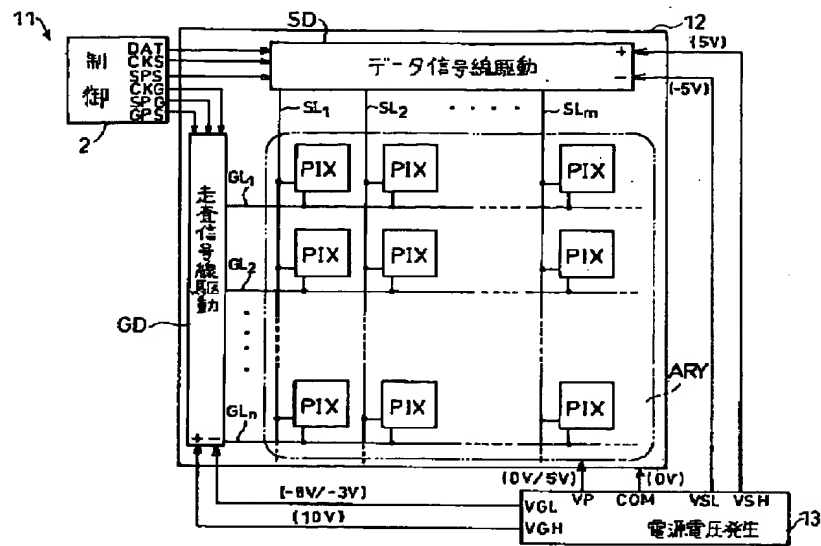
【図6】



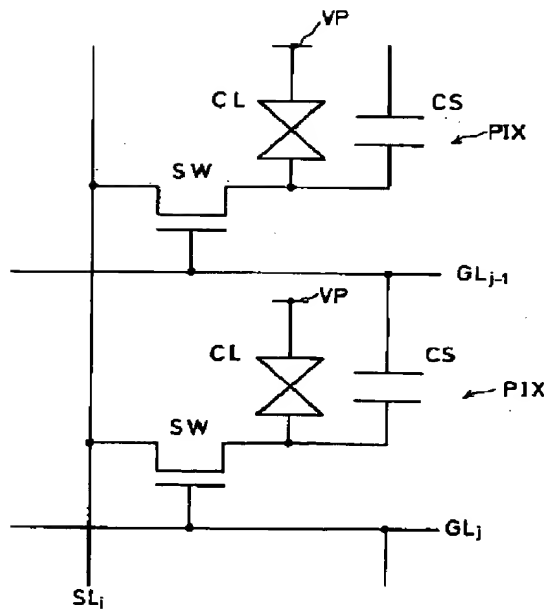
【図7】



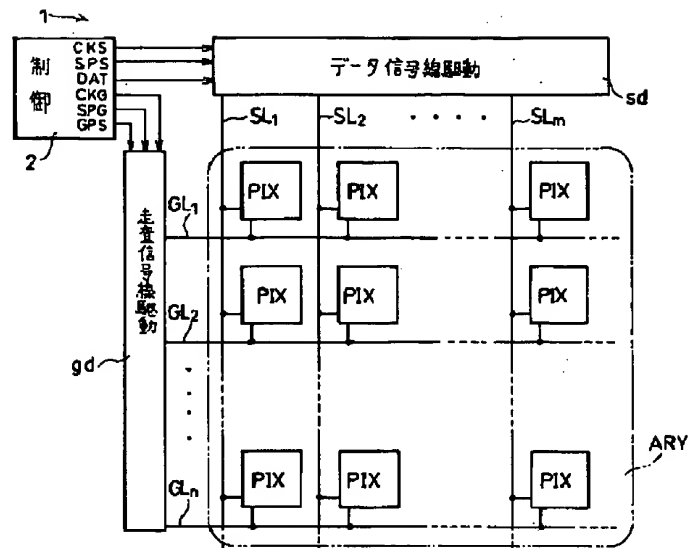
【図8】



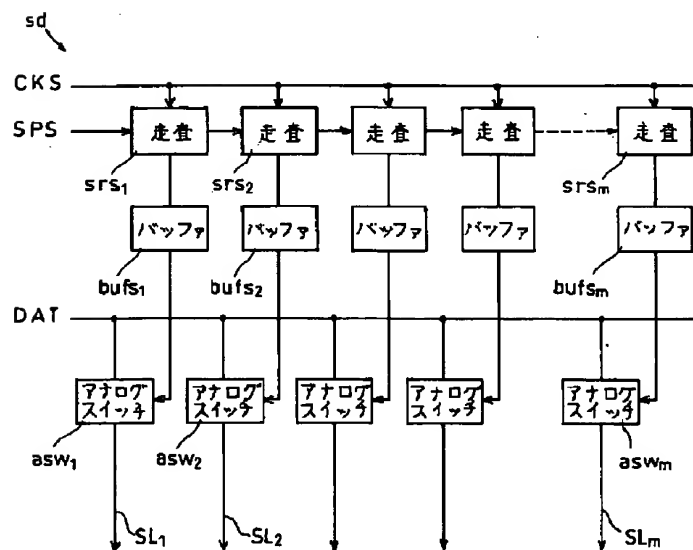
【図9】



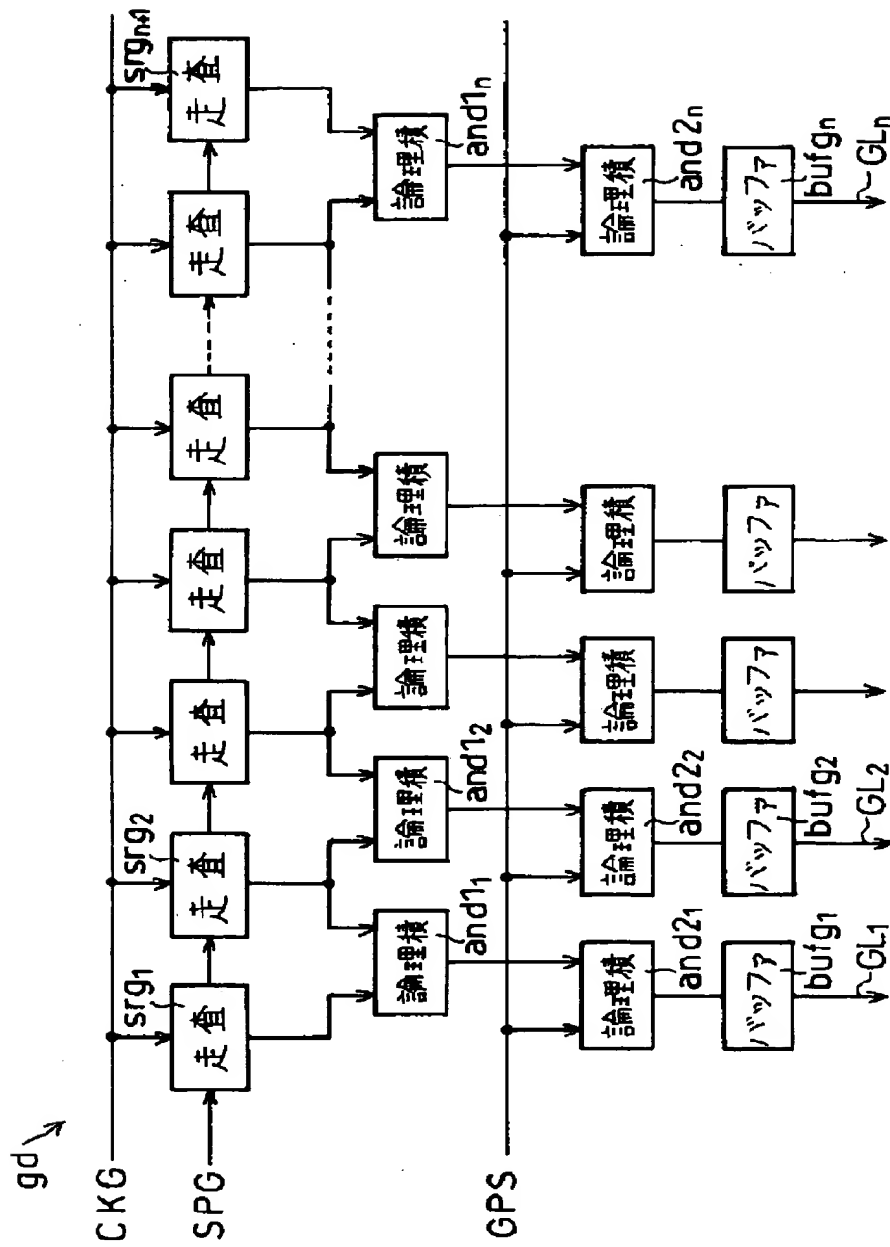
【図11】



【図12】



【図13】



THIS PAGE BLANK (USPTO)